

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: March 17, 2003

Application Number: No. 2003-072755
[ST.10/C]: [JP 2003-072755]

Applicant(s) SHINKO ELECTRIC INDUSTRIES CO., LTD.

December 8, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3101455

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月17日
Date of Application:

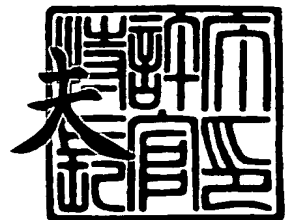
出願番号 特願2003-072755
Application Number:
[ST. 10/C]: [JP 2003-072755]

出願人 新光電気工業株式会社
Applicant(s):

2003年12月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 SD14-283

【提出日】 平成15年 3月17日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 23/12

【発明の名称】 半導体装置用基板及び基板の製造方法及び半導体装置

【請求項の数】 9

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 山崎 智生

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 六川 昭雄

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 高野 昭仁

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 大井 淳

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【代理人】**【識別番号】** 100070150**【住所又は居所】** 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階**【弁理士】****【氏名又は名称】** 伊東 忠彦**【電話番号】** 03-5424-2511**【手数料の表示】****【予納台帳番号】** 002989**【納付金額】** 21,000円**【その他】** 国等の委託研究の成果に係る特許出願（平成14年度新
エネルギー・産業技術総合開発機構基板技術研究促進事
業（民間基板技術研究支援制度）委託研究、産業活力再
生特別措置法30条適用を受けるもの）**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0202532**【プルーフの要否】** 要



【書類名】 明細書

【発明の名称】 半導体装置用基板及び基板の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 配線層が形成された基板本体と、

該基板本体と異なる材質により形成されており、該基板本体を支持すると共に半導体素子の搭載位置に開口部が設けられた支持体とを有する半導体装置用基板において、

前記基板本体の開口部対応位置に、前記開口部よりも大きな形状を有すると共に前記開口部対応位置を補強する補強部材を設けたことを特徴とする半導体装置用基板。

【請求項 2】 請求項 1 記載の半導体装置用基板において、

前記補強部材は、前記半導体素子と前記配線層とに電気的に接続されるキャパシタ部が内設された回路基板であることを特徴とする半導体装置用基板。

【請求項 3】 請求項 2 記載の半導体装置用基板において、

前記補強部材は、前記半導体素子と前記配線層とを直接電気的に接続するビアが形成されたインターポーザであることを特徴とする半導体装置用基板。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置用基板において、

前記補強部材は、金属よりなる当接部材を介して支持体に配設された構成であることを特徴とする半導体装置用基板。

【請求項 5】 補強部材を製造する工程と、

前記補強部材を支持部材の開口部対応位置に設ける工程と、

前記補強部材が設けられた前記支持部材上に、配線層を含むと共に前記支持部材と異なる材質よりなる基板本体を形成する工程と、

前記支持部材の前記開口部対応位置に前記補強部材の外形よりも小さな開口部を形成することにより、前記補強部材の一部を露出する工程とを有することを特徴とする基板の製造方法。

【請求項 6】 請求項 5 記載の基板の製造方法において、

前記補強部材を製造する工程は、コア部材上にキャパシタを形成する工程を含



むことを特徴とする基板の製造方法。

【請求項 7】 請求項 5 記載の基板の製造方法において、

前記補強部材を製造する工程は、前記コア部材を貫通するビアを形成する工程を含むことを特徴とする基板の製造方法。

【請求項 8】 請求項 5 乃至 7 のいずれか 1 項に記載の基板の製造方法において、

前記補強部材は、金属製よりなる当接部材を介して前記支持部材に設けられた構成であることを特徴とする半導体装置用基板。

【請求項 9】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置用基板に形成された前記開口部に、半導体素子を搭載した構成であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置用基板及び基板の製造方法に係り、特に配線層が形成された基板本体と、この基板本体を支持すると共に半導体素子の搭載位置に開口部が設けられた支持体とを有する半導体装置用基板及び基板の製造方法に関する。

【0002】

【従来の技術】


近年、半導体装置は搭載される半導体素子の動作周波数が高周波数化してきており、これに伴って、半導体素子に供給する電源電圧の安定化を図ることが必要となってきた。これに対応するために、半導体素子が搭載される半導体装置用基板にキャパシタ素子を設ける構造が提案されている（特許文献 1 参照）。

【0003】

図 1 は、従来の一例であるキャパシタ素子を設けた構造の半導体装置 1 及び半導体装置用基板 3（以下、単に基板という）を示している。半導体装置 1 は、基板 3 に形成された開口部 9 内に半導体素子 2 を搭載した構成とされている。

【0004】

基板 3 は、基板本体 5、支持体 6、及び回路基板 7 等により構成されている。



基板本体 5 は支持体 6 の片面にビルドアップ法により形成されており、絶縁樹脂材 16 の内部に、この絶縁樹脂材 16 を図中上下に貫通するよう形成されたビア 8 が設けられている。

【0005】

支持体 6 は、基板本体 5 を支持するために設けられている。このため、支持体 6 は、基板本体 5 よりも機械的強度の高い金属（例えば、銅）により形成されている。また、支持体 6 の半導体素子 2 が搭載される素子搭載位置には、開口部 9 が形成されている。

【0006】

回路基板 7 は、一部埋設された状態で基板本体 5 に組み込まれている。この回路基板 7 は、シリコンコア 10 と、このシリコンコア 10 の上面に形成されたキャパシタ形成部 12 とにより構成されている。また、このキャパシタ形成部 12 を挟んで下部にはシリコンコア 10 を貫通するコア貫通ビア 14 が形成され、上部には半導体素子 2 と接続するためのバンプ 13 が形成されている。

【0007】

このバンプ 13 には半田バンプ 4 により半導体素子 2 がフリップチップ接合され、コア貫通ビア 14 には基板本体 5 に形成されているビア 8 が接続される。よって、半導体素子 2 とビア 8（電源／グランド用のビア）との間にキャパシタ形成部 12 が位置することとなり、キャパシタ形成部 12 内に形成されたキャパシタ素子により半導体素子 12 に供給される電源電圧の安定化を図ることができる。

【0008】

図 2 は、従来の一例である基板 3 の製造方法を示している。基板 3 を製造するには、予めシリコンコア 10 にキャパシタ形成部 12、バンプ 13、及びコア貫通ビア 14 を形成した回路基板 7 を製造しておき、この回路基板 7 を図 2（A）に示すように、開口部 9 が形成されていない状態の支持体 6 に配設する。この際、回路基板 7 は粘着材 15 を用いて支持体 6 に固定される。

【0009】

続いて、図 2（B）に示すように、支持体 6 の回路基板 7 が配設された側の面



に、ビルドアップ法を用いてビア 8 や配線パターン及び絶縁樹脂材 16 を積層することにより基板本体 5 を形成する。これにより、回路基板 7 は基板本体 5 に埋設された状態となる。

【0010】

続いて、図 2 (C) に示すように、支持体 6 の半導体素子 2 の搭載位置に開口部 9 を形成する。この開口部 9 の形成位置は、回路基板 7 の形成位置を含むように構成されている。即ち、従来では開口部 9 の大きさは、回路基板 7 の大きさよりも大きく設定されていた。

【0011】

このように、支持体 6 に開口部 9 が形成されることにより、回路基板 7 のバンパ 13 は露出することとなり、よって半導体素子 2 を基板 3 に搭載することが可能な状態となる。

【0012】

【特許文献 1】

特開 2001-274034 号公報

【0013】

【発明が解決しようとする課題】

ところで、上記したように基板 3 を構成する基板本体 5 は主に樹脂で形成されており、これに対して支持体 6 は銅等の金属により形成されている。従って、図 2 (A) に示す粘着材 15 にて回路基板 7 を支持体 6 に配設する工程で実施される加熱工程（粘着材 15 を固化するための加熱）、また基板本体 5 の形成工程で実施される加熱工程（絶縁樹脂材 16 を形成するための加熱）において、基板本体 5 と支持体 6 の熱膨張差に起因して、基板本体 5 と支持体 6 との間には応力が発生する。

【0014】

この基板本体 5 と支持体 6 との間に発生する応力は、開口部 9 が形成されない前の状態では、支持体 6 により基板本体 5 が支持される。よって、この応力により基板 3 に変化が発生するようなことはない。しかしながら、図 2 (C) のように支持体 6 に開口部 9 が形成されると、この開口部 9 の形成位置では支持体 6 に

より基板本体 5 が支持されなくなり、よって基板本体 5 に上記した応力により変形が発生する。

【0015】

このように基板本体 5 に変形が発生すると、従来では回路基板 7 の大きさが開口部 9 の大きさよりも小さいため、図 1 及び図 2 (C) に示すように回路基板 7 は所定位置からずれてしまい、半導体素子 2 を適正に搭載することができなくなるという問題点があった。

【0016】

具体的には、図 1 に示す例では、回路基板 7 が傾くことにより、図中右端部のビア 8 と半田バンプ 4 とが離間してしまっている。よって、従来構成の半導体装置 1 及び基板 3 では、半導体素子 2 と基板 3 との電氣的な接続不良が発生するおそれがあり、半導体装置 1 の信頼性が著しく低下するという問題点があった。

【0017】

尚、従来において回路基板 7 を開口部 9 よりも小さく設定していたのは、半導体素子 2 に設けられている電源電極及びグランド電極が、通常素子中央部に配設されていることによる。即ち、回路基板 7 に形成されたキャパシタ形成部 12 は、半導体素子 2 の電源／グランド電極と接続する必要がある。よって、回路基板 7 は、半導体素子 2 の電源端子及びグランド端子が設けられた素子中央と対向するよう配設すれば、その本来的な電源安定化の目的を成すためには十分であり、それ以上に大きな形状とする必要がないと考えられていたからである。

【0018】

本発明は上記の点に鑑みてなされたものであり、半導体素子の実装信頼性の高い半導体装置用基板及び基板の製造方法及び半導体装置を提供することを目的とする。

【0019】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0020】

請求項 1 記載の発明は、

配線層が形成された基板本体と、

該基板本体と異なる材質により形成されており、該基板本体を支持すると共に半導体素子の搭載位置に開口部が設けられた支持体とを有する半導体装置用基板において、

前記基板本体の開口部対応位置に、前記開口部よりも大きな形状を有すると共に前記開口部対応位置を補強する補強部材を設けたことを特徴とするものである。

【0021】

上記発明によれば、支持体に開口部が形成されていても、開口部対応位置は補強部材により補強されるため、開口部対応位置において基板本体が変形することを防止できる。

【0022】

また、請求項 2 記載の発明は、

請求項 1 記載の半導体装置用基板において、

前記補強部材は、前記半導体素子と前記配線層とに電気的に接続されるキャパシタ部が内設された回路基板であることを特徴とするものである。

【0023】

上記発明によれば、半導体素子と配線層とに電気的に接続されるキャパシタ部が内設された回路基板を補強部材として用いたことにより、半導体素子が開口部内に搭載される際、基板本体に変形がないため回路基板（補強部材）に傾きが生じることはなく、よって半導体素子を回路基板に確実に接続することができる。また、回路基板を補強部材として用いることにより、それぞれを別個の部材にとする構成に比べ、部品点数の削減を図ることができる。

【0024】

また、請求項 3 記載の発明は、

請求項 2 記載の半導体装置用基板において、

前記回路基板は、前記半導体素子と前記配線層とを直接電気的に接続するビアが形成されたインターポーザであることを特徴とするものである。

【0025】

上記発明によれば、半導体素子と配線層とを直接電氣的に接続するビアが形成されたインターポーザを補強部材として用いたことにより、半導体素子が開口部内に搭載される際、基板本体に変形がないためインターポーザ（補強部材）に傾きが生じることはなく、よって半導体素子をインターポーザに確実に接続することができる。また、インターポーザを補強部材として用いることにより、それぞれを別個の部材とする構成に比べ、部品点数の削減を図ることができる。

【0026】

また、請求項4記載の発明は、
請求項1乃至3のいずれか1項に記載の半導体装置用基板において、
前記補強部材は、金属よりなる当接部材を介して支持体に配設された構成であることを特徴とする半導体装置用基板。

【0027】

上記発明によれば、補強部材は、金属よりなる当接部材を介して支持体に配設されるため、半導体素子で発生した熱は、補強材及び金属よりなる当接部材を介して支持体に放熱されるため、半導体素子の放熱効率を高めることができる。

【0028】

また、請求項5記載の発明に係る基板の製造方法は、
補強部材を製造する工程と、
前記補強部材を支持部材の開口部対応位置に設ける工程と、
前記補強部材が設けられた前記支持部材上に、配線層を含むと共に前記支持部材と異なる材質よりなる基板本体を形成する工程と、
前記支持部材の前記開口部対応位置に前記補強部材の外形よりも小さな開口部を形成することにより、前記補強部材の一部を露出する工程とを有することを特徴とするものである。

【0029】

上記発明によれば、支持部材に開口部を形成する際、支持部材と基板本体との材質差に起因して発生する応力により、開口部の形成位置に基板本体を変形させようとする力が作用しても、開口部を形成する前工程において開口部対応位置に

は補強部材が設けられているため、開口部の形成位置に変形が発生することを防止できる。

【 0 0 3 0 】

また、請求項 6 記載の発明は、
請求項 5 記載の基板の製造方法において、
前記補強部材を製造する工程は、コア部材上にキャパシタを形成する工程を含むことを特徴とするものである。

【 0 0 3 1 】

上記発明によれば、補強部材を製造する工程にコア部材上にキャパシタを形成する工程を含めたことにより、補強部材をキャパシタが設けられた回路基板として用いることができる。

【 0 0 3 2 】

また、請求項 7 記載の発明は、
請求項 5 記載の基板の製造方法において、
前記補強部材を製造する工程は、前記コア部材を貫通するビアを形成する工程を含むことを特徴とするものである。

【 0 0 3 3 】

上記発明によれば、補強部材を製造する工程にコア部材を貫通するビアを形成する工程を含めたことにより、補強部材をビアが設けられたインターポーザとして用いることができる。

【 0 0 3 4 】

また、請求項 8 記載の発明は、
請求項 5 乃至 7 のいずれか 1 項に記載の半導体装置用基板において、
前記補強部材は、金属製の当接部材を介して前記支持部材に設けられた構成であることを特徴とするものである。

【 0 0 3 5 】

上記発明によれば、補強部材は金属よりなる当接部材を介して支持体に配設されるため、半導体素子で発生した熱は、補強材及び金属よりなる当接部材を介して支持体に放熱されるため、半導体素子の放熱効率を高めることができる。

【0036】

また、請求項9記載の発明は、

請求項1乃至4のいずれか1項に記載の半導体装置用基板に形成された前記開口部に、半導体素子を搭載した構成であることを特徴とするものである。

【0037】

上記発明によれば、半導体装置用基板の開口部近傍において基板本体が変形することがないため、半導体素子を高精度に半導体装置用基板に搭載でき、半導体装置の信頼性を高めることができる。

【0038】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【0039】

図3は、本発明の第1実施例である半導体装置20A及び半導体装置用基板23A（以下、半導体装置用基板を単に基板という）を示している。半導体装置20Aは、大略すると基板23Aと、この基板23Aに形成された開口部29内に搭載される半導体素子22とにより構成されている。

【0040】

基板23Aは、基板本体25、支持体26、及び回路基板27A等により構成されている。基板本体25Aは支持体26の片面にビルドアップ法により形成されており、絶縁樹脂材46の内部に配線層となる電源／グランド用ビア28A及び信号用ビア28Bや配線パターンが形成されている。この各ビア28A、28Bは、絶縁樹脂材46を図中上下に貫通するよう形成されている。

【0041】

前記したように、半導体素子22の電源電極及びグランド電極は素子中央部に配設されているため、回路基板27Aを介して半導体素子22の電源電極及びグランド電極に接続される電源／グランド用ビア28Aは、回路基板27Aの中央位置に配設されている。これに対し、半導体素子22の信号電極に接続される信号用ビア28Bは、電源／グランド用ビア28Aの配設位置の外周位置に配設されている。

【0042】

尚、各ビア28A、28Bの下端部は、外部接続端子して機能している。即ち、本実施例に係る半導体装置20Aは、LGA(Land Grid Array)タイプのパッケージ構造とされている。

【0043】

一方、支持体26は、基板本体25を支持するために設けられている。このために支持体26は、基板本体25の主材料となる絶縁樹脂材46よりも機械的強度の高い金属（例えば、銅）により形成されている。また、支持体26の半導体素子22が搭載される素子搭載位置には、開口部29が形成されている。

【0044】

続いて、回路基板27Aについて説明する。回路基板27Aは、図3に加えて図4に拡大して示すように、シリコンコア30、キャパシタ部32、各種バンプ33A、33B、各種ビア34A、34B、及びダミーバンプ36等により構成されている。この回路基板27Aは、基板本体25内に一部埋設された状態で組み込まれている。

【0045】

シリコンコア30は、上下に貫通した複数の貫通孔が形成されており、この貫通孔内には銅が配設されることにより電源／グランド用コア貫通ビア34A及び信号用コア貫通ビア34Bが形成されている。電源／グランド用コア貫通ビア34Aは、半導体素子22に形成された電源／グランド電極の形成位置に対応するよう、シリコンコア30の中央位置に配設されている。これに対し、信号用コア貫通ビア34Bは、半導体素子22に形成された信号電極の形成位置に対応するよう、シリコンコア30の外周位置に配設されている。

【0046】

また、シリコンコア30の上面には誘電体層37が形成されており、この誘電体層37の上面には電源／グランド用バンプ33A及び信号用バンプ33Bが形成されている。従って、誘電体層37は、各バンプ33A、33Bと各ビア34A、34Bとの間に配設された構成となっている。また、誘電体層37の上部には保護膜45が形成されている。電源／グランド用バンプ33A及び信号用バン

プ33Bは、この保護膜45から露出した構成となっている。

【0047】

電源／グランド用バンプ33Aは、半導体素子22に形成された電源／グランド電極の形成位置に対応するよう、誘電体層37の中央位置に配設されている。これに対し、信号用バンプ33Bは、半導体素子22に形成された信号電極の形成位置に対応するよう、誘電体層37の外周位置に配設されている。半導体素子22の電源／グランド電極は、この各バンプ33A、33Bに半田バンプ24を介してフリップチップ接合される。

【0048】

また、誘電体層37の内部には、キャパシタとして機能するキャパシタ部32が形成されている。このキャパシタ部32は電源／グランド用バンプ33A及び電源／グランド用コア貫通ビア34Aに接続されており、半導体素子22が基板23Aに実装されて動作されるときにデカップリングキャパシタとして機能するよう構成されている。よって、このキャパシタ部32により半導体素子22に供給される電源電圧の安定化を図ることができ、半導体装置20Aの信頼性を高めることができる。

【0049】

また、キャパシタ部32が配置してある場所は、半導体素子22の真下の位置である。このため、半導体素子22とキャパシタ部32との間の導電経路の距離は短く、この部分のインダクタンスLは小さい。よって、半導体素子22の動作周波数が高周波数化してきた場合にも、半導体素子22に供給する電源電圧はこのインダクタンスによる影響を受けないで安定して供給することができる。

【0050】

尚、信号用バンプ33Bと信号用コア貫通ビア34Bとの間にはキャパシタ部32は形成されておらず、よって信号用バンプ33Bと信号用コア貫通ビア34Bは、半導体素子22と信号用ビア28Bとを接続するインターポーザとしてのみ機能する。

【0051】

また、回路基板27Aの上面（具体的には、保護膜45の上部）の外周位置に

は、接合材として機能するダミーバンプ 36 が形成されているが、説明の便宜上、このダミーバンプ 36 については後述するものとする。

【0052】

ここで、回路基板 27A と、支持体 26 に形成された開口部 29 に注目する。図 3 に示されるように、回路基板 27A は支持体 26 に形成された開口部 29 よりも大きな平面形状を有するよう構成されている。図 3 に示される断面形状においても、回路基板 27A の図中左右方向の長さ L_2 は半導体素子 22 の図中左右方向の長さ長さ L_1 に対して大きく設定されている ($L_2 > L_1$)。即ち、図 5 (A) に示されるように回路基板 27A は、開口部 29 と対向する領域（以下、この領域を開口領域 38A という）に比べて広い面積を有した構成となっている。

【0053】

従って、回路基板 27A の開口領域 38A より外側の領域は、半導体装置 20A に組み込まれた際、支持体 26 と重なり合う領域（以下、この領域を重畳領域 38B という）となる。ダミーバンプ 36 は、この重畳領域 38B 内に形成されている。

【0054】

本実施例のように回路基板 27A を支持体 26 に形成された開口部 29 よりも大きな形状とすることにより、ダミーバンプ 36 は支持体 26 と当接し、よって回路基板 27A は支持体 26 に支持された構成となる。また、回路基板 27A の基材となるシリコンコア 30 は、支持体 26 の主材料である絶縁樹脂材 46 に比べて機械的強度が高い。

【0055】

よって、支持体 26 に開口部 29 が形成されても、基板本体 25 の開口部 29 と対向する位置（開口領域 38A と等価）と、応力が影響する開口部 29 の近傍位置とを含めた位置（以下、開口部対応位置という）を、回路基板 27A により補強することができる。即ち、回路基板 27A は、開口部対応位置を補強する補強部材として機能する。従って、上記構成とされた回路基板 27A を設けることにより、開口部対応位置において基板本体 25 が変形することを防止できる。

【0056】

また、このように基板本体25の変形を防止できるため、基板本体25内で回路基板27Aが傾くようなこともない。よって、半導体素子22と回路基板27Aを確実に電氣的に接続することができ、半導体素子22の回路基板27A（線導光体23A）に対する実装信頼性を高めることができる。

【0057】

また本実施例では、開口部29の補強部材として、半導体素子22の電源安定化を図るキャパシタ部32が設けられた回路基板27Aを用いている。このため、回路基板27Aと開口部29の補強部材とを別個に設ける構成に比べ、部品点数の削減を図ることができる。

【0058】

更に、上記したダミーバンプ36は、半導体素子22で発生する熱を放熱する放熱機能も奏する。即ち、ダミーバンプ36を設けることにより、半導体素子22で発生した熱は、回路基板27A及びダミーバンプ36を介して支持体26に放熱される。この際、前記したように半導体素子22と回路基板27Aは近接して配設されているため、半導体素子22から回路基板27Aへの熱伝導は良好に行なわれ、よって半導体素子22の放熱効率を高めることができる。

【0059】

ところで、第1実施例に係る半導体装置20Aにおいては、図3、図4、及び図5（A）に示すように、回路基板27Aを支持体26に接合させる接合材としてダミーバンプ36を用い、これを重畳領域38B内に開口領域38Aを囲繞するよう、ドット状に1周形成した構成としている。しかしながら、接合材の構成はこれに限定されるものではない。

【0060】

例えば図5（B）に示す回路基板27Bのように、重畳領域38B内にダミーバンプ36を、開口領域38Aを囲繞するようドット状に2周形成した構成としてもよく、更に3周以上形成した構成としてもよい。この構成とすることにより、ダミーバンプ36を1周形成した構成の回路基板27Aに比べ、回路基板27Aをより強固に支持体26に接合することができる。

【0061】

また、接合材は必ずしもドット状のダミーバンプ36に限定されるものではなく、接合材を棒状とした棒状接合材39とし、図5(C)に示されるようにこれを重畳領域38B内に開口領域38Aを囲繞するよう1周形成する構成としてもよく、また図5(D)に示すように2周形成する構成としてもよい。更に3周以上形成した構成としてもよい。

【0062】

尚、図3に示した半導体装置20Aは、基板本体25の底面に各ビア28A、28Bが露出して外部接続端子をなすLGAタイプのパッケージ構造としたが、各ビア28A、28Bの下端部に外部接続端子となる半田ボールを配設することにより、BGA(Ball Grid Array)タイプのパッケージ構造とすることも可能である。

【0063】

続いて、上記構成とされた基板23Aの製造方法について、図6乃至図9を用いて説明する。基板23Aを製造するには、先ず回路基板27Aを製造する。図6乃至図8は、回路基板27Aの製造方法を示している。

【0064】

回路基板27Aを製造するには、先ず図6(A)に示すように、ブロック状のシリコンコア30を用意する。このシリコンコア30には、先ず電源／グランド用ビア28A及び信号用ビア28Bを形成するための凹部40が形成される。この凹部40の形成は、例えばエッチングにより行なう。凹部40が形成されると、シリコンコア30の凹部40が形成された面に、例えば熱酸化処理が行なわれ、所定膜厚の絶縁層(図示せず)が形成される。

【0065】

シリコンコア30に凹部40及び絶縁膜が形成されると、続いてめっきを行なうことにより、凹部40内を埋めると共にシリコンコア30の表面上に所定厚さを有した第1の銅層41を形成する。凹部40内に第1の銅層41が形成されることにより、電源／グランド用コア貫通ビア34A、信号用コア貫通ビア34Bが形成される。図6(C)は、シリコンコア30に第1の銅層41が形成された

状態を示している。

【0066】

続いて、シリコンコア 30 に形成された第 1 の銅層 41 に対してパターニングが行われ、図 7 (A) に示されるように、所定の電源／グランド用コア貫通ビア 34 A には下部電極部 42 が形成される。本実施例では、左から数えて 2 番目及び 4 番目の電源／グランド用コア貫通ビア 34 A の上端部に、それぞれ内側に向け延出した（左から数えて 3 番目の電源／グランド用コア貫通ビア 34 A に向け延出した）下部電極部 42 が形成されている。この下部電極部 42 は、キャパシタ部 32 の一部を構成する電極である。

【0067】

下部電極部 42 が形成されると、続いてシリコンコア 30 の表面全面にはタンタルがスパッタリングされてタンタル膜が形成される。そして、このタンタル膜をパターニングすると共に陽極酸化処理を実施することにより、図 7 (B) に示される、所定形状を有した誘電体層 37 が形成される。この誘電体層 37 は、下部電極部 42 の上部には必ず形成されるよう構成されている。

【0068】

誘電体層 37 の形成が終了すると、続いてシリコンコア 30 の表面全体を覆うように銅をめっきにより形成し、これをエッチングでパターニングすることにより図 7 (C) に示す第 2 の銅層 43 を形成する。この際、所定の電源／グランド用コア貫通ビア 34 A には上部電極部 44 が形成される。

【0069】

本実施例では、左から数えて 3 番目の電源／グランド用コア貫通ビア 34 A の上端部に外方に向け延出した上部電極部 44 が形成されている。従って、下部電極部 42 と上部電極部 44 は、誘電体層 37 を介して対向した構造となり、よって図中破線で囲う位置にキャパシタ部 32 が形成される。

【0070】

上記のようにキャパシタ部 32 が形成されると、続いて絶縁膜をシリコンコア 30 の表面に形成すると共にパターニングを行なうことにより保護膜 45 を形成する。図 8 (A) は、シリコンコア 30 に保護膜 45 が形成された状態を示して

いる。この保護膜 45 は第 2 の銅層 43 と対向する位置に開口が形成されており、よって第 2 の銅層 43 は露出した状態となっている。

【0071】

そして、図 8 (B) に示すように、第 2 の銅層 43 上に電源／グランド用バンプ 33A、信号用バンプ 33B を形成すると共に、ダミーバンプ形成位置にダミーバンプ 36 を形成する。続いて、電源／グランド用バンプ 33A、信号用バンプ 33B、ダミーバンプ 36 上に Ni/Au めっきをすることにより表面処理を実施する。このように、ダミーバンプ 36 は、電源／グランド用バンプ 33A、信号用バンプ 33B と同時に形成されるため、ダミーバンプ 36 を設けても回路基板 27A の製造工程が複雑になるようなことはない。

【0072】

上記のように各バンプ 33A、33B、36 が形成されると、続いてシリコンコア 30 の背面を図 8 (B) に矢印 B で示す位置、即ち電源／グランド用コア貫通ビア 34A、信号用コア貫通ビア 34B が露出する位置までバックグラインドする。これにより、図 8 (C) に示すように、回路基板 27A が製造される。

【0073】

上記したように回路基板 27A が製造されると、続いて図 9 (A) に示すように、この回路基板 27A を支持体 26 に配設する。前記のように支持体 26 は銅等の金属により形成されており、本工程においてはまだ支持体 26 に開口部 29 は形成されていない。

【0074】

この支持体 26 の回路基板 27A の配設位置に予め粘着材 35 を塗布しておき、回路基板 27A を支持体 26 に押圧する。これにより、各バンプ 33A、33B、36 は、粘着材 35 を介して支持体 26 に当接する。粘着材 35 は、熱硬化性樹脂を用いている。よって、この粘着材 35 を加熱処理して硬化させることにより、回路基板 27A は支持体 26 に固定される。

【0075】

尚、回路基板 27A を支持体 26 に固定する方法は、上記の方法に限定されるものではない。具体的には、回路基板 27A を支持体 26 に固定する他の方法と

しては、各バンプ33A、33B、36を半田により形成すると共に、支持体26の各バンプ33A、33B、36の配設位置と対応する位置にパッド及びダミーパッドを形成しておき、各バンプ33A、33B、36を各パッドに半田接合することが考えられる。本実施例に係る製造方法では、いずれの方法を用いることも可能であるが、以下の実施例の説明では前者の方法を用いた場合について図示し説明するものとする。

【0076】

上記したように回路基板27Aが支持体26に固定されると、続いて支持体26上に基板本体25の形成処理が実施される。この基板本体25の形成処理は、回路基板27Aが配設された支持体26をコア基板として支持体26の片面にビルドアップ法により形成される。

【0077】

具体的には、本実施例では先ず回路基板27Aの高さと等しい高さまで絶縁樹脂材46aを形成する。続いて、この絶縁樹脂材46a及び回路基板27Aの上部に、複数のビルドアップ層を形成する。これにより、図9（B）に示ように支持体26の上部には基板本体25が形成され、回路基板27Aに形成された各コア貫通ビア34A、34Bの図中上部には各ビア28A、ビア28Bが形成される。尚、本実施例では2層のビルドアップ層が形成された例を示しているが、ビルドアップ層の層数はこれに限定されるものではない。

【0078】

上記のように支持体26上に基板本体25が形成されると、続いて支持体26の開口形成位置を除きレジストが形成され、このレジストをマスクとして支持体26のエッチング処理が実施される。これにより、図9（C）に示されるように、支持体26には開口部29が形成される。

【0079】

また、このエッチング処理により、回路基板27Aを支持体26に配設する際に用いた粘着材35も除去される。しかしながら、ダミーバンプ36の形成位置よりも外周に位置する粘着材35は開口部29の形成後も残存しており、回路基板27Aを支持体26に固定する機能を奏している。

【0080】

ところで、支持体 26 と回路基板 27A とは材質が相違しているため、基板本体 25 と支持体 26 との間には熱膨張差に起因した応力が発生することは前述したとおりである。また、開口部 29 が形成されない前の状態では、この応力による基板本体 25 の変形は支持体 26 により規制されて直接基板 23A に変化が現れることはないが、開口部 29 が形成されるとこの開口部 29 の形成位置では支持体 26 による基板本体 25 の支持ができなくなり、基板本体 25 に応力による変形が発生するおそれがあることも前述したところである。

【0081】

しかしながら、本実施例に係る基板 23A は、回路基板 27A が開口部 29 よりも大きな形状を有するよう構成されている。このため、回路基板 27A は基板本体 25 の開口部 29 の形成される位置の近傍を補強する補強部材として機能する。

【0082】

よって、支持体 26 に開口部 29 を形成する際、支持体 26 と基板本体 25 との材質差に起因した応力により開口部対応位置に基板本体 25 を変形させようとする力が作用しても、開口部 29 を形成する工程よりも前の工程において、開口部対応位置には補強部材として機能する回路基板 27A が設けられているため、開口部 29 の形成位置に変形が発生することを防止できる。

【0083】

これにより、基板本体 25 内に形成される回路基板 27A に傾きが発生することを防止でき、開口部 29 に装着される半導体素子 22 と回路基板 27A を確実に電氣的に接続することができる。よって、半導体素子 22 と基板 23A との間で電氣的な接続不良が発生することはなくなり、半導体装置 20A の信頼性を高めることができる。

【0084】

図 10 は、本発明の第 2 実施例である半導体装置 20B 及び基板 23B を示している。また、図 11 は、第 2 実施例である半導体装置 20B に配設されるインターポーザ 50 を示している。尚、図 10 及び図 11 において、図 3 乃至図 9 に

示した構成と同一構成については同一符号を付してその説明を省略する。

【0085】

前記した第1実施例においては、開口部29が形成された際に基板本体25を補強する補強部材としてキャパシタ部32を有した回路基板27Aを用いた。しかしながら、開口部対応位置を補強する補強部材は、必ずしもキャパシタ部32を有した回路基板27Aとする必要はない。

【0086】

そこで、本実施例に係る半導体装置20Bは、キャパシタ部32を有した回路基板27Aに代えて、インターポーザ50を設けたことを特徴とするものである。このインターポーザ50は、図11に拡大して示すように、シリコンコア30、バンプ33C、コア貫通ビア34C、ダミーバンプ36、及びダミーバンプ36を設けた構成とされている。

【0087】

バンプ33Cとコア貫通ビア34Cは、単に直接接続されたのみの構成とされている。また、絶縁膜51は絶縁性を有した樹脂膜或いはシリコンの酸化膜であり、第1実施例と異なりキャパシタ部32は形成されていない。

【0088】

本実施例に係る半導体装置20B及び基板23Bに設けられたインターポーザ50は、第1実施例に係る回路基板27Aと同様に、開口部29に対して大きな形状を有するよう構成されている。また、インターポーザ50の外周位置にはダミーバンプ36が配設されており、このダミーバンプ36は支持体26に当接した構成とされている。

【0089】

従って、第1実施例に係る回路基板27Aと同様に、本実施例に係るインターポーザ50は、基板本体25の開口部対応位置を補強する補強部材として機能する。これにより、開口部29を形成しても基板本体25Aに変形が生じることはなく、インターポーザ50（補強部材）に傾きが生じることもない。

【0090】

よって、半導体素子22が開口部29内に搭載される際、半導体素子22をイ

ンターポーザ50に確実に接続することが可能となる。また、インターポーザ50を補強部材として用いることにより、インターポーザと補強部材を別個の部材にとする構成に比べ、部品点数の削減を図ることができる。

【0091】

尚、上記した各実施例において、回路基板27A及びインターポーザ50の半導体素子22が配設さる位置にバンプ（電源／グランド用バンプ33A、信号用バンプ33B、バンプ33C、ダミーバンプ36）を設けた構成としたが、半導体素子22が配設さる位置に形成する電極は必ずしもバンプである必要はなく、パッドにより構成することも可能である。

【0092】

また、上記した各実施例では、回路基板27A及びインターポーザ50のこのコアとしてシリコンコア30を用いた例を示したが、コアはシリコンに限定されるものではなく、ガラス、セラミック等の他の材質を用いることが可能である。

【0093】

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【0094】

請求項1記載の発明によれば、開口部対応位置は補強部材により補強されているため、開口部対応位置において基板本体が変形することを防止できる。

【0095】

また、請求項2記載の発明によれば、基板本体に変形が生じないため回路基板（補強部材）に傾きが生じることはなく、よって半導体素子を回路基板に確実に接続することができる。また、回路基板を補強部材として用いることにより、それぞれを別個の部材にとする構成に比べ、部品点数の削減を図ることができる。

【0096】

また、請求項3記載の発明によれば、基板本体に変形がないためインターポーザ（補強部材）に傾きが生じることはなく、よって半導体素子をインターポーザに確実に接続することができる。また、インターポーザを補強部材として用いることにより、それぞれを別個の部材にとする構成に比べ、部品点数の削減を図る

ことができる。

【0097】

また、請求項4記載の発明によれば、補強部材は、金属よりなる当接部材を介して支持体に配設されるため、半導体素子で発生した熱は、補強材及び金属よりなる当接部材を介して支持体に放熱されるため、半導体素子の放熱効率を高めることができる。

【0098】

また、請求項5記載の発明によれば、支持部材に開口部を形成する際、支持部材と基板本体との材質差に起因して発生する応力により、開口部の形成位置に基板本体を変形させようとする力が作用しても、開口部を形成する前工程において開口部対応位置には補強部材が設けられているため、開口部の形成位置に変形が発生することを防止できる。

【0099】

また、請求項6記載の発明によれば、補強部材を製造する工程にコア部材上にキャパシタを形成する工程を含めたことにより、補強部材をキャパシタが設けられた回路基板として用いることができる。

【0100】

また、請求項7記載の発明によれば、補強部材を製造する工程にコア部材を貫通するビアを形成する工程を含めたことにより、補強部材をビアが設けられたインターポーザとして用いることができる。

【0101】

また、請求項8記載の発明によれば、補強部材は金属よりなる当接部材を介して支持体に配設されるため、半導体素子で発生した熱は、補強材及び金属よりなる当接部材を介して支持体に放熱されるため、半導体素子の放熱効率を高めることができる。

【0102】

また、請求項9記載の発明によれば、半導体装置用基板の開口部近傍において基板本体が変形することがないため、半導体素子を高精度に半導体装置用基板に搭載でき、半導体装置の信頼性を高めることができる。

【図面の簡単な説明】**【図 1】**

従来の一例である半導体装置及び半導体装置用基板を示す断面図である。

【図 2】

従来の一例である半導体装置用基板の製造方法を説明するための図である。

【図 3】

本発明の第 1 実施例である半導体装置及び半導体装置用基板を示す断面図である。

【図 4】

本発明の第 1 実施例である半導体装置及び半導体装置用基板に組み込まれる回路基板を拡大して示す断面図である。

【図 5】

回路基板の変形例を示す図である。

【図 6】

本発明の一実施例である半導体装置用基板の製造方法を説明するための図である（その 1）。

【図 7】

本発明の一実施例である半導体装置用基板の製造方法を説明するための図である（その 2）。

【図 8】

本発明の一実施例である半導体装置用基板の製造方法を説明するための図である（その 3）。

【図 9】

本発明の一実施例である半導体装置用基板の製造方法を説明するための図である（その 4）。

【図 10】

本発明の第 2 実施例である半導体装置及び半導体装置用基板を示す断面図である。

【図 11】

本発明の第 1 実施例である半導体装置及び半導体装置用基板に組み込まれるインターポーザを拡大して示す断面図である。

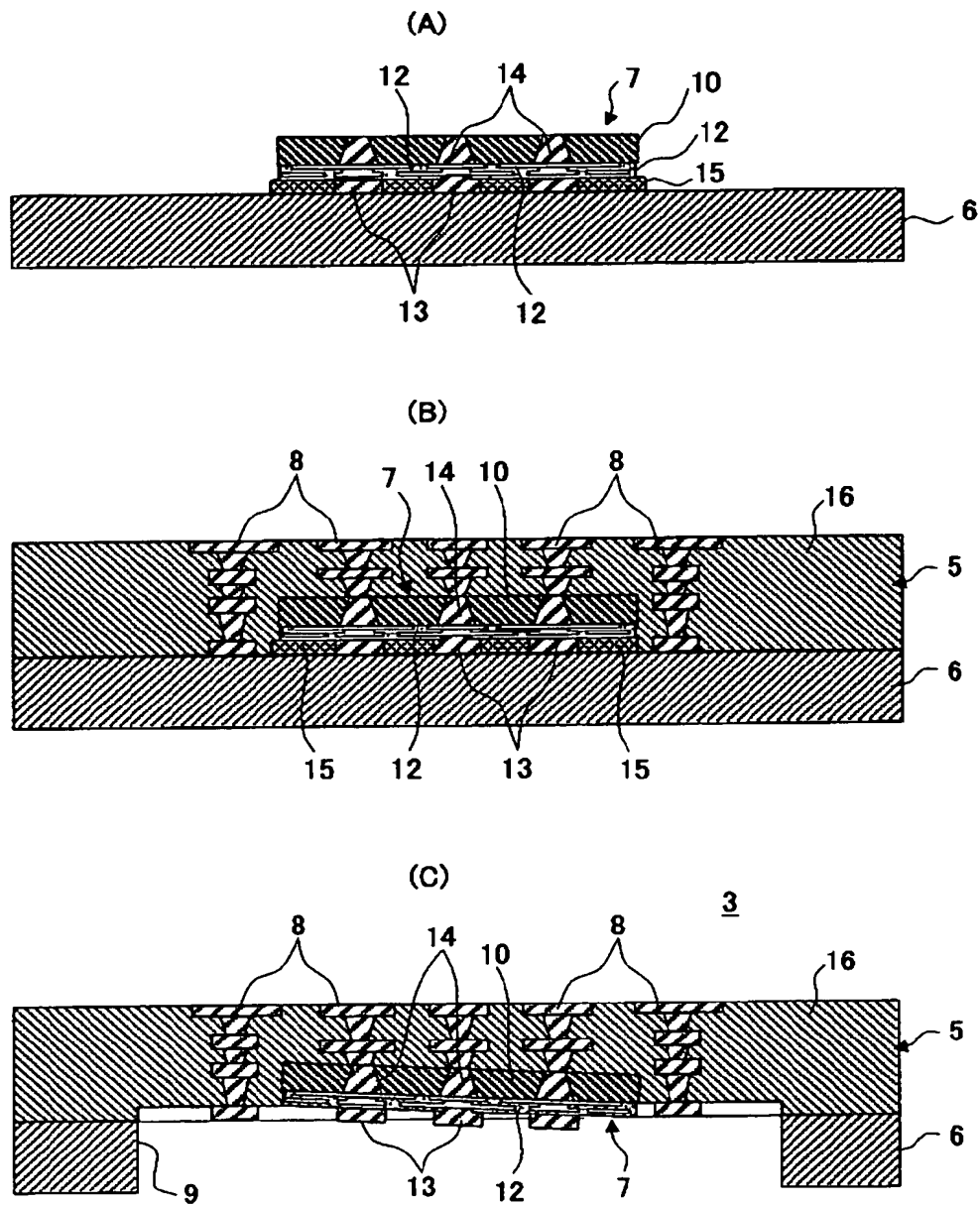
【符号の説明】

- 20A, 20B 半導体装置
- 22 半導体素子
- 23A, 23B 基板
- 25 基板本体
- 26 支持体
- 27A～27D 回路基板
- 28A 電源／グランド用ビア
- 28B 信号用ビア
- 28C ビア
- 29 開口部
- 30 シリコンコア
- 32 キャパシタ形成部
- 33A 電源／グランド用バンプ
- 33B 信号用バンプ
- 33C バンプ
- 34A 電源／グランド用コア貫通ビア
- 34B 信号用コア貫通ビア
- 34C コア貫通ビア
- 36 ダミーバンプ
- 37 誘電体層
- 38 開口領域
- 39 枠状接合材
- 41 第 1 の銅層
- 42 下部電極部
- 43 第 2 の銅層
- 44 上部電極部

5 0 インターポーザ

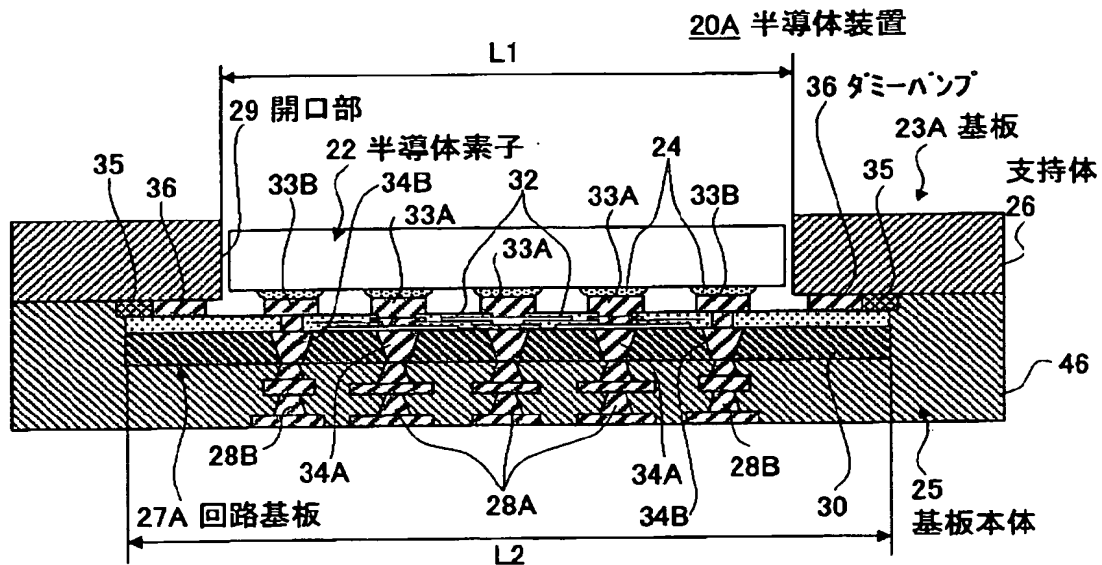
【図 2】

従来の一例である半導体装置用基板の製造方法を説明するための図



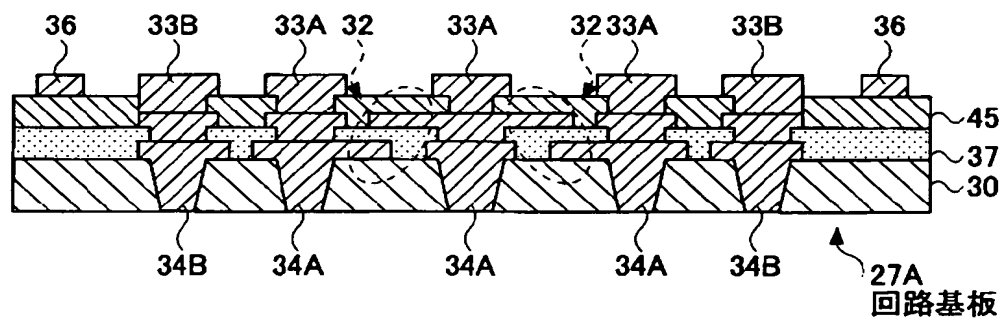
【図 3】

本発明の第1実施例である半導体装置及び
半導体装置用基板を示す断面図



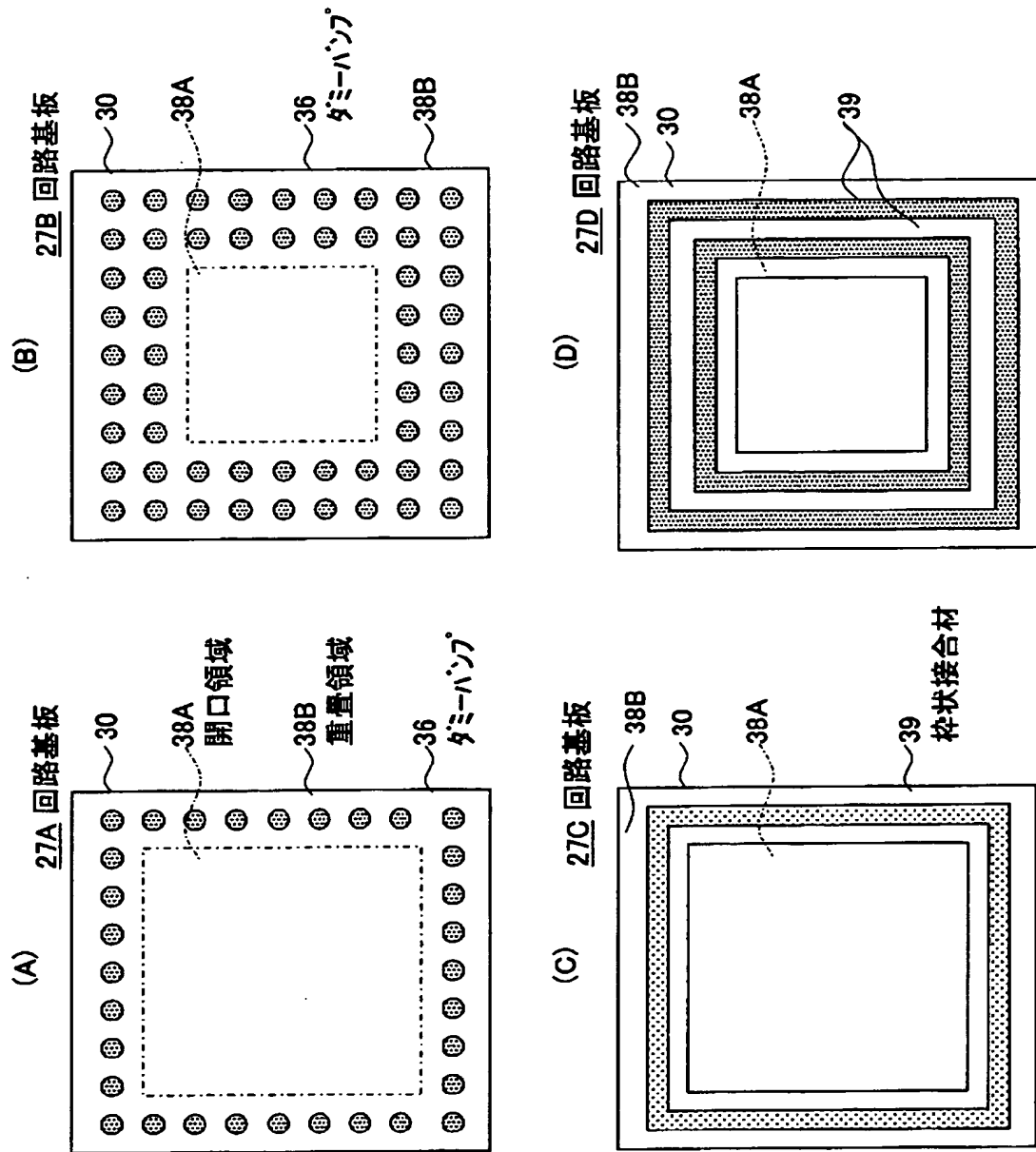
【図 4】

本発明の第1実施例である半導体装置及び
半導体装置用基板に組み込まれる回路基板を拡大して示す断面図



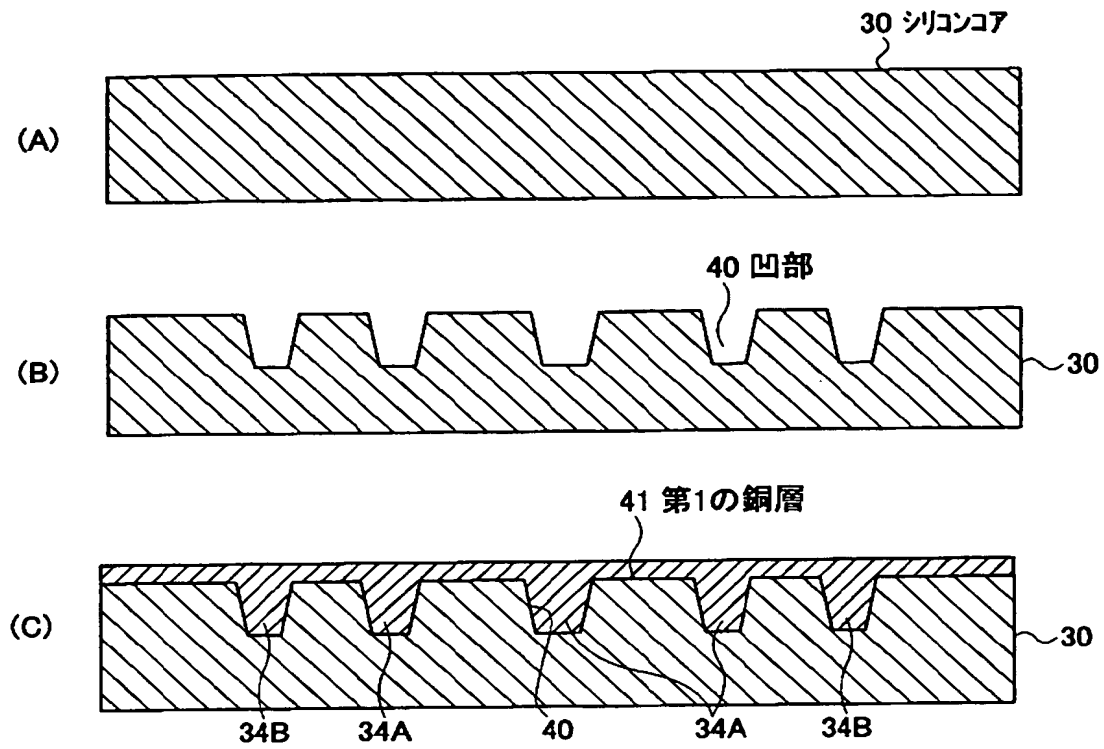
【図 5】

回路基板の変形例を示す図



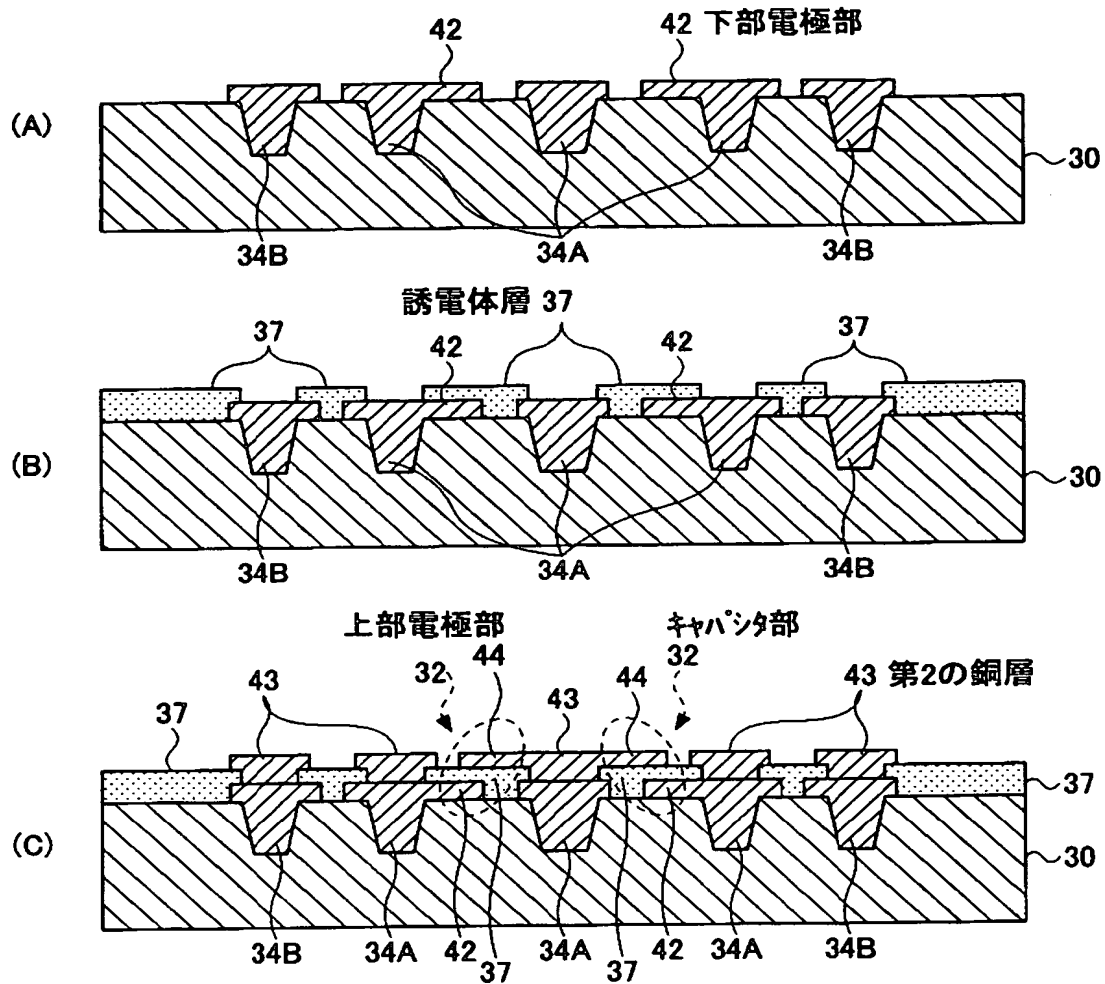
【図 6】

本発明の一実施例である半導体装置用基板の
製造方法を説明するための図(その1)



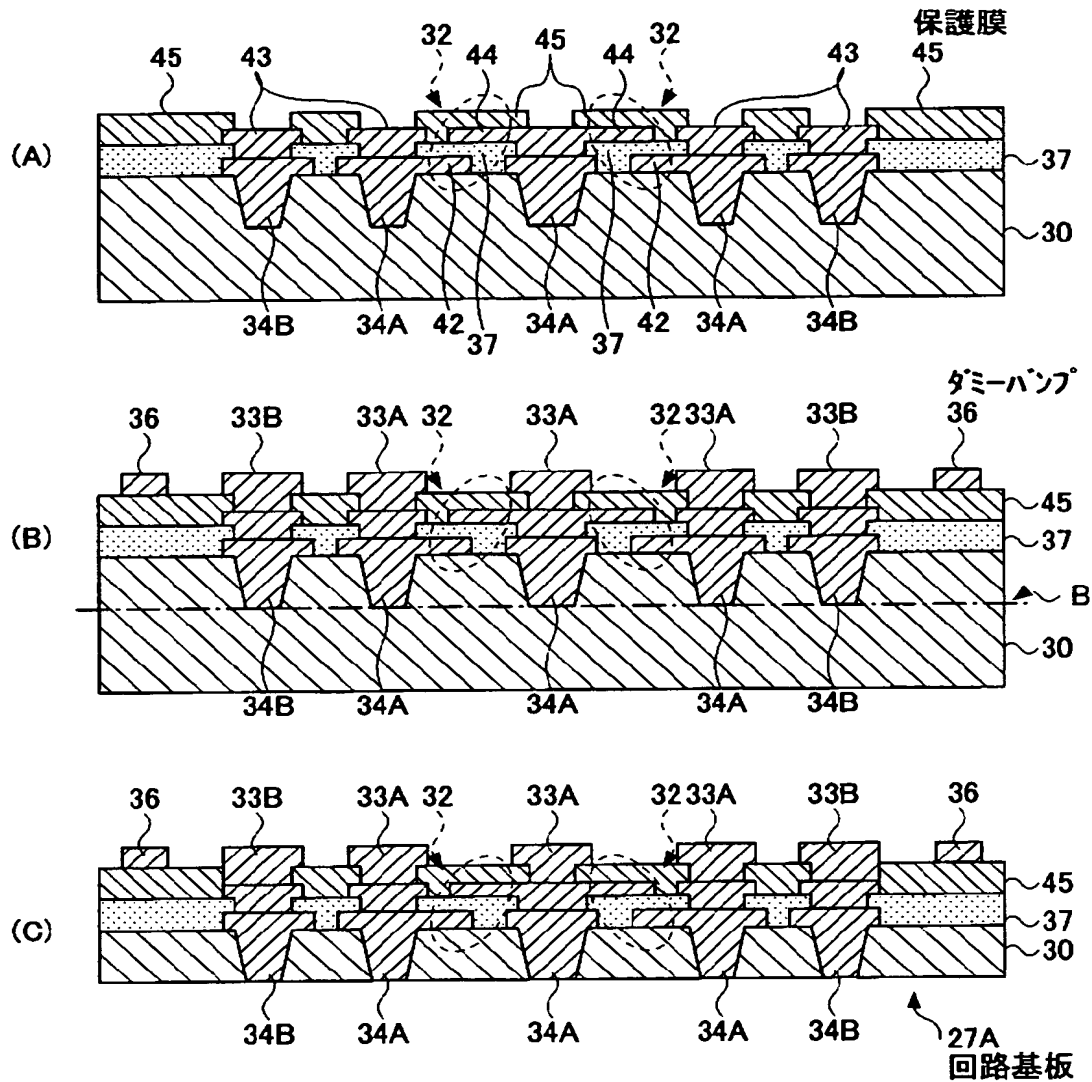
【図 7】

本発明の一実施例である半導体装置用基板の
製造方法を説明するための図(その2)



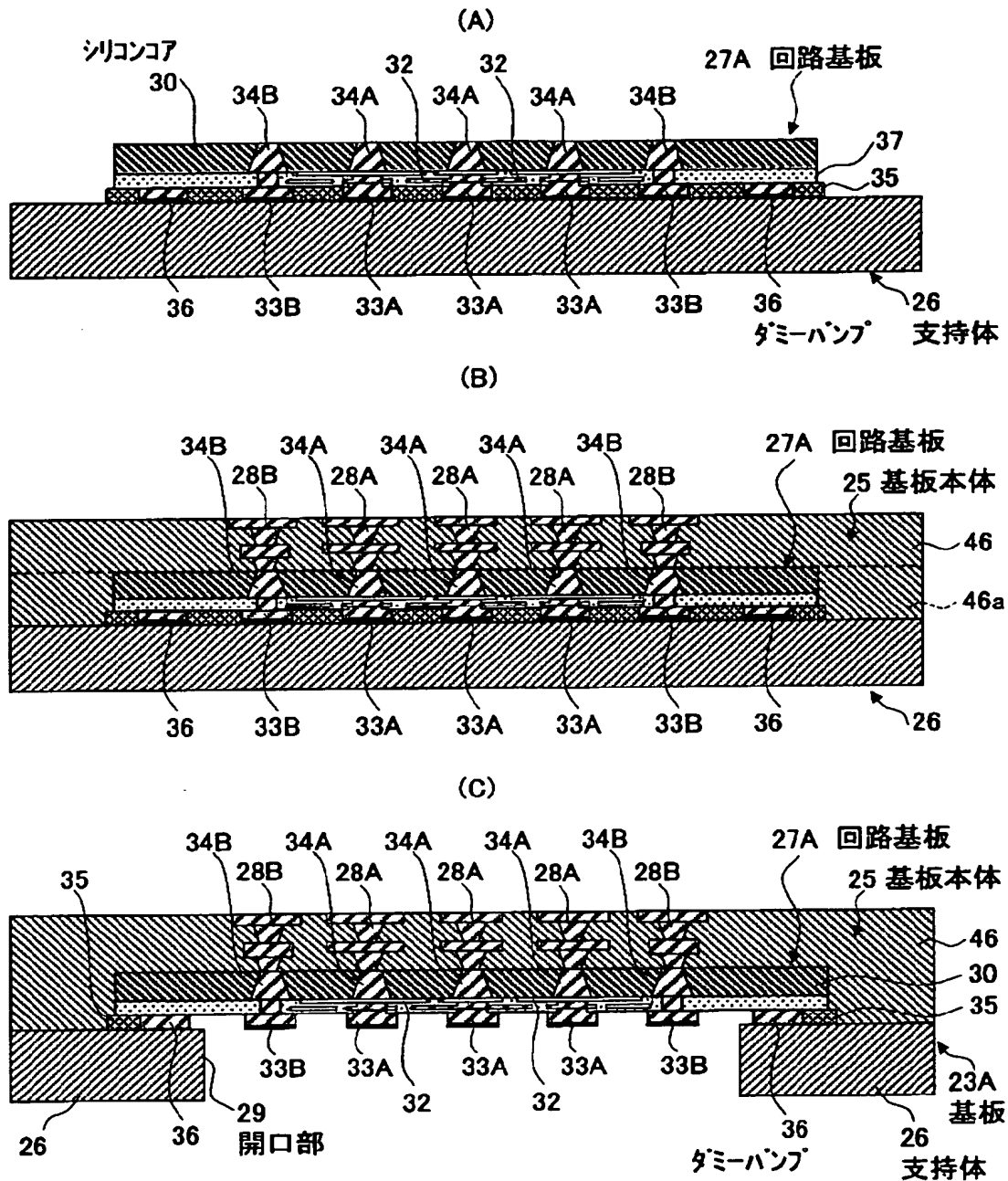
【図 8】

本発明の一実施例である半導体装置用基板の製造方法を説明するための図(その3)



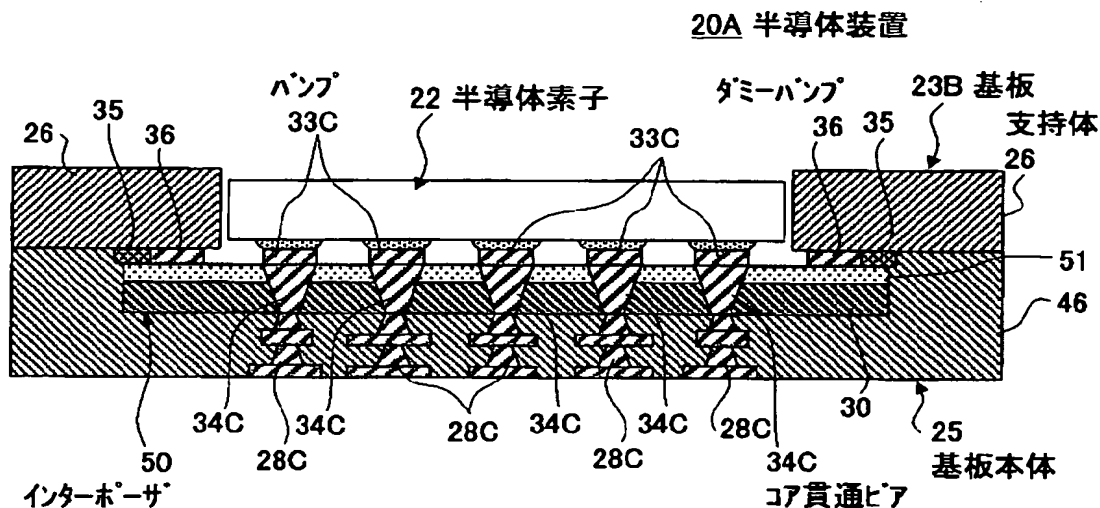
【図 9】

本発明の一実施例である半導体装置用基板の
製造方法を説明するための図(その4)



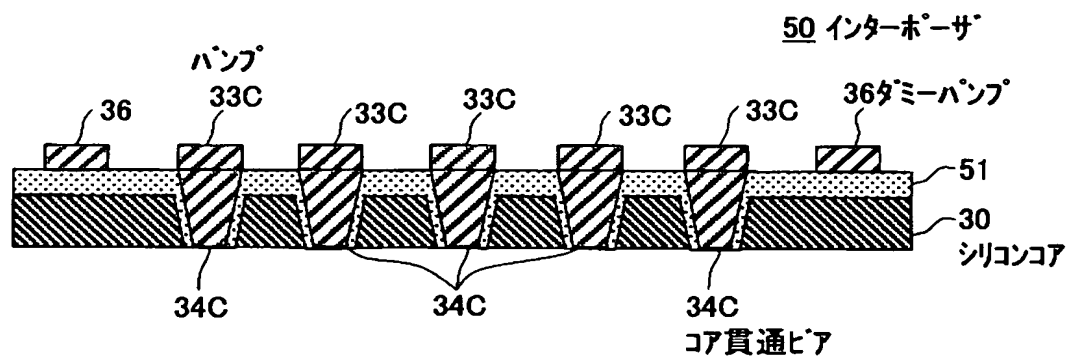
【図 10】

本発明の第2実施例である半導体装置及び
半導体装置用基板を示す断面図



【図 11】

本発明の第1実施例である半導体装置及び半導体装置用基板に
組み込まれるインターポザを拡大して示す断面図



【書類名】 要約書

【要約】

【課題】 本発明は基板本体及びこの基板本体を支持すると共に半導体素子の搭載位置に開口部が設けられた支持体とを有する半導体装置用基板及び基板の製造方法に関し、基板本体の変形を防止することにより半導体素子の実装信頼性を高めることを課題とする。

【解決手段】 ビア 2 8 A, 2 8 B が形成された基板本体 2 5 と、この基板本体 2 5 と異なる材質により形成されており、基板本体 2 5 を支持すると共に半導体素子 2 2 の搭載位置に開口部 2 9 が設けられた支持体 2 6 とを有する半導体装置用基板において、基板本体 2 5 の開口部対応位置に開口部 2 9 よりも大きな形状を有し、この開口部対応位置を補強する回路基板 2 7 A を設ける。また、回路基板 2 7 A の内部にキャパシタ部 3 2 を形成し、半導体素子 2 2 へ供給される電源の安定化を図る。

【選択図】 図 3

特願 2 0 0 3 - 0 7 2 7 5 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 1 9 0 6 8 8]

1 . 変更年月日
[変更理由]

住 所
氏 名

1 9 9 0 年 8 月 2 0 日

新規登録

長野県長野市大字栗田字舎利田 7 1 1 番地

新光電気工業株式会社

2 . 変更年月日
[変更理由]

住 所
氏 名

2 0 0 3 年 1 0 月 1 日

住所変更

長野県長野市小島田町 8 0 番地

新光電気工業株式会社